



PN - DE19930120 A 20010111

TI - Multiprocessor-trace concept for system-on-semiconductor chip applications

AB - A method of retracing data states and instructions in an arrangement, in which a semiconductor chip (SoC) has several processes (1..n), as a result of which, the data (data1..datam) and the instructions (ProC1 to ProCn) of the several processes are each provided with an identification characterising their respective **source** and in the sequence, as they occur, are written into a FIFO store. The store can then be read via an interface (TI). The data associated with the same time-period, and the instructions of a respective processor are stored in a respective trace telegram.

EC - G06F11/34T ; G06F11/34T12

ICO - S06F11/34T6 ; S06F201/234 ; S06F201/294 ; S06F201/511

PA - SIEMENS AG (DE)

IN - AMANDI DIRK (DE); WINTER ROBERT (DE); GLAESER WINFRIED (DE); MIRCESCU ALEXANDER (DE)

CT - EP0316609 A2 []; NC57014635 A []

AP - DE19991030120 19990630

PR - DE19991030120 19990630

DT - *

© WPI / DERWENT

AN - 2001-081833 [10]

TI - Multiprocessor-trace concept for system-on-semiconductor chip applications - having process instructions each provided with identification characterising their respective **source**

AB - DE19930120 A method of retracing data states and instructions in an arrangement, in which a semiconductor chip (SoC) has several processes (1..n), as a result of which, the data (data1..datam) and the instructions (ProC1 to ProCn) of the several processes are each provided with an identification characterising their respective **source** and in the sequence, as they occur, are written into a FIFO store. The store can then be read via an interface (TI).

- The data associated with the same time-period, and the instructions of a respective processor are stored in a respective trace telegram.

- USE - Chip architectures (SOC) e.g. several processors on one chip; RAMs and complex HW control logic.

- ADVANTAGE - Concept for tracing several processors which are arranged on semiconductor chip.

- (Dwg.1/2)

IW - MULTIPROCESSOR TRACE CONCEPT SYSTEM SEMICONDUCTOR CHIP APPLY PROCESS
INSTRUCTION IDENTIFY CHARACTERISTIC RESPECTIVE **SOURCE**

PN - DE19930120 A1 20010111 DW200110 G06F11/30 005pp

IC - G06F11/30

MC - T01-F02C T01-G05C T01-H07C7 T01-M02

DC - T01

PA - (SIEI) SIEMENS AG

IN - AMANDI D; GLAESER W; MIRCESCU A; WINTER R

AP - DE19991030120 19990630

PR - DE19991030120 19990630



(19) BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

PATENTS • DESIGNS
COPYRIGHTS • TRADEMARKS
The Patent Office



(12) Offenlegungsschrift
(10) DE 199 30 120 A 1

(5) Int. Cl. 7 INVESTOR IN PEOPLE
G 06 F 11/30

DE 199 30 120 A 1

(21) Aktenzeichen: 199 30 120.4
(22) Anmeldetag: 30. 6. 1999
(23) Offenlegungstag: 11. 1. 2001

(71) Anmelder:
Siemens AG, 80333 München, DE

(72) Erfinder:
Gläser, Winfried, Dipl.-Ing., 85570 Markt Schwaben, DE; Amandi, Dirk, Dipl.-Phys., 81477 München, DE; Mircescu, Alexander, Dr.-Ing. Dr., 81379 München, DE; Winter, Robert, Dipl.-Inform. (FH), 81369 München, DE

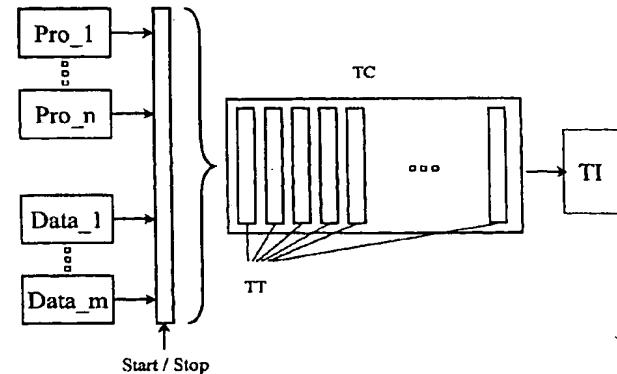
(56) Entgegenhaltungen:
EP 03 16 609 A2
J05-7 014 63 53a A

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

(54) Multiprozessor-Tracekonzept für System on Chip Anwendungen

(55) Es wird ein Multiprozessor-Tracekonzept vorgeschlagen, bei dem die Instruktionen und Daten mehrerer Prozessoren, die in einer System on Chip Anordnung auf einem Halbleiterchip angeordnet sind, nachverfolgt werden können.



DE 199 30 120 A 1



müßte für eine Synchronisation der Tracesteuerungen 5
sorgt werden, damit deren Informationen miteinander zeit-
lich verglichen werden könnten.

Durch die "Start/Stop"-Einrichtung (siehe auch Fig. 1) ist
eine Selektion und Aktivierung/Deaktivierung unterschied-
licher Tracequellen vornehmbar. Die Daten Data und In-
struktionen einer Abfragestelle werden bei bestimmten Sy-
stemparametern einschaltet oder ausschaltet (beispielsweise
schaltet die "Start/Stop"-Einrichtung ein, wenn Fehlerbedin-
gung erfüllt). 10

Nachdem die Instruktionsinformationen (Program Counter
der unterschiedlichen Prozessoren) und die Dateninhalt-
sinformationen herausgeführt sind, kann mit Hilfe im Han-
del verfügbarer Tracesoftware (beispielsweise der Firmen
IBM Microelectronics, LSI Logic, NEC Electronics, ...) 15
der Programmfluß der n Prozessoren rekonstruiert werden.

Da durch das hier beschriebene Konzept jedoch zusätz-
lich auch die Dateninhalte zur Verfügung stehen, kann nun-
mehr jeder rekonstruierten Instruktion auch der dazugehö-
rige Dateninhalt zugeordnet werden. Voraussetzung für die 20
vollständige Durchführung der Zuordnung von Dateninhal-
ten zu Instruktionen ist, daß alle Bussysteme über die die
Daten übertragen werden, auch getraced werden. Wird bei-
spielsweise das Bussystem zum Level 1 Cache nicht getra-
ced, so fehlen für die Auswertung die hierüber übertragenen 25
Dateninhalte, so daß es zu Lücken in der Zuordnung von In-
struktionen und Dateninhalten kommt.

Dadurch, daß alle Program Counter und Dateninhalte al-
ler Prozessoren in der richtigen zeitlichen Reihenfolge her-
ausgeführt werden, können die Programmflüsse inclusive 30
zugehöriger Dateninhalte aller Prozessoren im korrekten
zeitlichen Bezug zueinander rekonstruiert werden.

Das FIFO wird über die mit Anschlüssen des SoC verbun-
dene Schnittstelle T1 an ein Aufzeichnungsgerät, das durch
ein mit entsprechender Software ausgestattetes Datenverar-
beitungsgerät PC (für: Personal Computer) gegeben sein 35
mag, ausgelesen. Die Traceinformationen werden einer
Analyseinrichtung Ana zugeführt, in der eine Analyse des
Programmflusses und der Programmdaten erfolgt.

40

Patentansprüche

1. Verfahren zur Nachverfolgung von Datenzuständen
und Instruktionen in einer Anordnung, in der ein Halb-
leiterchip (SoC) mehrere Prozessoren (1 . . . n) aufweist, 45
demzufolge

- die Daten (Data_1 . . . Data_m) und die Instruk-
tionen (ProC_1 bis ProC_n) der mehreren Prozes-
soren jeweils mit einer ihre jeweilige Quelle be-
zeichnenden Kennung versehen werden und in der 50
Reihenfolge, wie sie auftreten, in einen als FIFO
organisierten Speicher eingeschrieben werden,
- der Speicher über eine Schnittstelle (T1) ausles-
bar ist.

2. Verfahren nach Anspruch 1, dadurch gekennzeich- 55
net, daß die zeitgleich zugehörigen Daten und Instruk-
tionen eines jeweiligen Prozessors in einem jeweiligen
Tracetelegramm abgespeichert werden.

3. Verfahren nach Anspruch 1, dadurch gekennzeich- 60
net, daß von mehreren Prozessoren die zeitgleich auf-
tretenden Daten in einem Daten-Tracetelegramm und
die zeitgleich auftretenden Instruktionen in einem In-
struktionen-Tracetelegramm abgespeichert werden.

4. Verfahren nach einem der vorstehenden Ansprüche,
dadurch gekennzeichnet, daß die Instruktionen über 65
eine EJTAG-Schnittstelle in den Speicher geschrieben
werden.

5. Verfahren nach einem der vorstehenden Ansprüche,

dadurch gekennzeichnet, daß die einzelnen Prozesso-
ren, deren Daten/Instruktionen nachverfolgt werden,
selektierbar sind.

Hierzu 2 Seite(n) Zeichnungen



zeichnungen Seite 1

PATENTS • DESIGNS
The
Patent
Office
COPYRIGHT • TRADE MARKS •

Nummer:
Int. Cl. 7:
Offenlegungstag:

DE 199 30 120 A1
G 06 F 11/30
11. Januar 2001 FOR IN PEOPLE

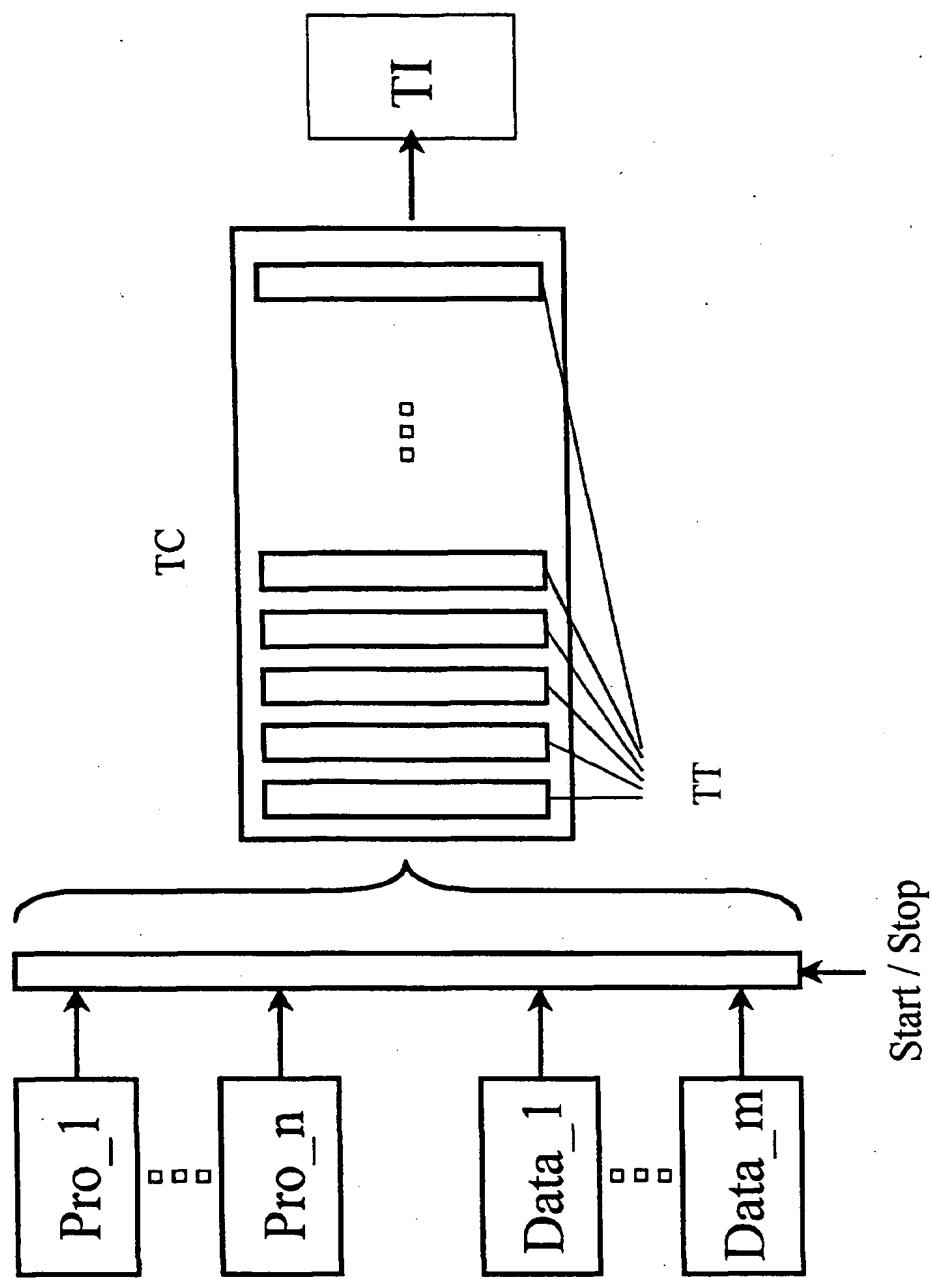


FIG 1

002 062/369



NUNGEN SEITE 2

PATENTS • DESIGNS
The Patent Office
COPYRIGHT • TRADE MARKS

Nummer:
Int. Cl. 7:
Offenlegungstag:

DE 199 30 120 1
G 06 F 11/30
11. Januar 2001
INVESTOR IN PEOPLE

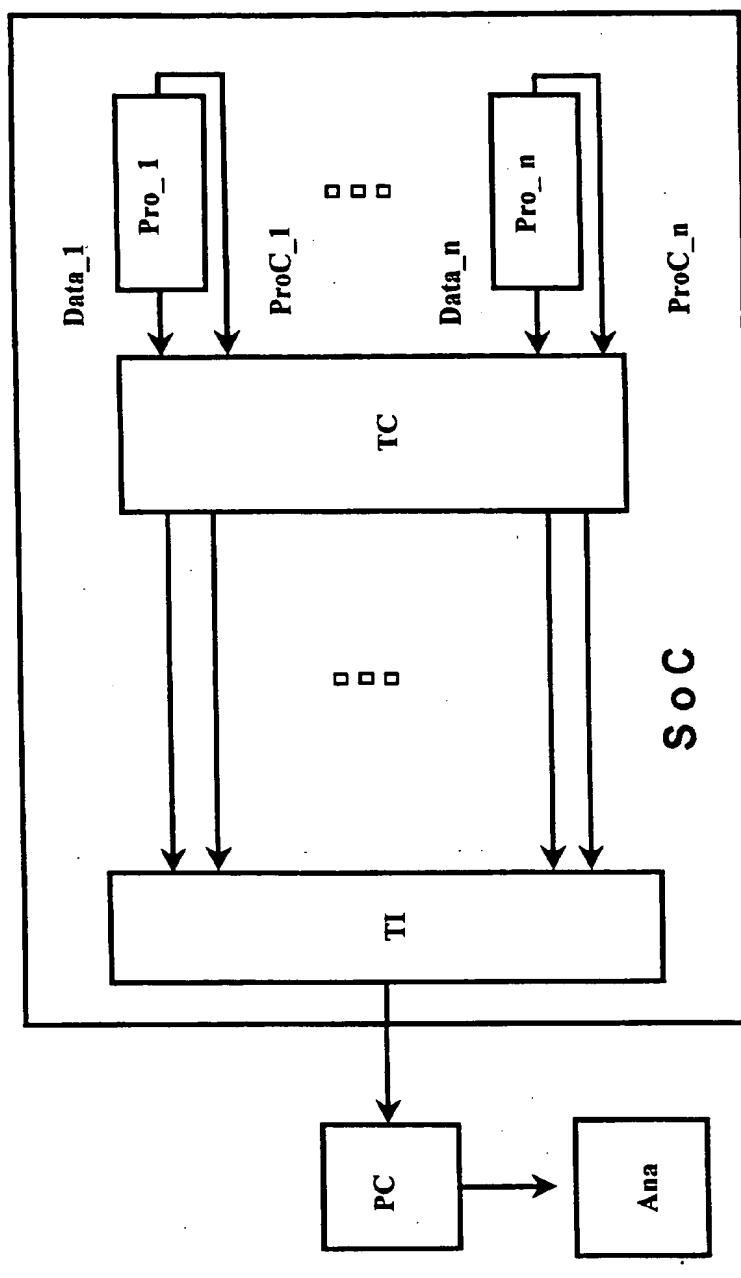


FIG 2

002 062/369